

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50785

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl.⁶

H 0 1 L 21/66

識別記号

庁内整理番号

F I

H 0 1 L 21/66

技術表示箇所

Y

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願平8-199058

(22) 出願日 平成 8 年(1996) 7 月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 畑中 和久

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

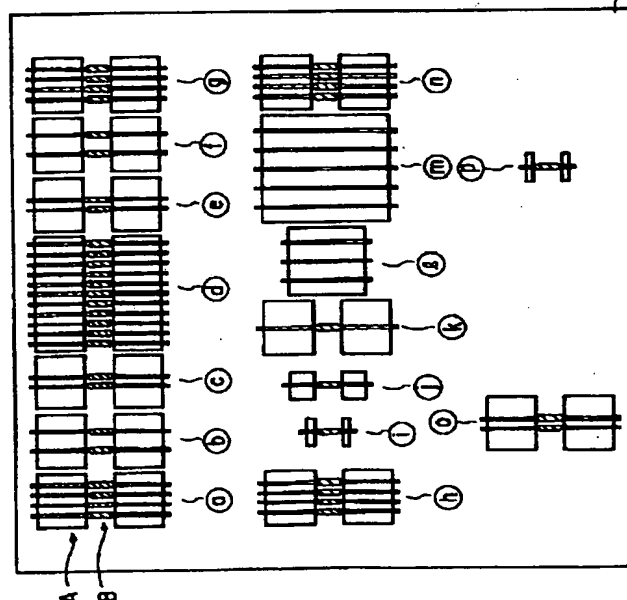
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 モニタパターン

(57) 【要約】

【課題】 本発明は、L S I 素子を構成するゲート配線のパターンニング寸法のばらつきをモニタするためのモニタパターンにおいて、L S I 素子の仕上がり寸法をより厳密に保証できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、半導体ウェーハ上にマトリクス状に設けられる素子形成領域の、その近傍のスクライブライン上に90°ずらしてモニタパターン14a、14bを形成する。各モニタパターン14a、14bは、それぞれ、実際のL S I 素子における、ゲート配線のパターンニング寸法のばらつきを完全に網羅できるように、面積や疎密を異ならせて形成された複数のSDG領域パターンAと、各SDG領域パターンAを含む下地段差上に、本数や疎密を異ならせて形成されたゲート配線パターンBとからなる、16個の単位パターンa~pを有してなる構成となっている。



1

【特許請求の範囲】

【請求項1】 半導体基板上に半導体集積回路素子を形成するための、素子形成用パターンの寸法のばらつきをモニタするために、

前記素子形成用パターンの下地における段差を再現するように、複数の低段差パターンを有して形成されてなることを特徴とするモニタパターン。

【請求項2】 前記低段差パターンは、その面積の違いに応じて変化する、前記素子形成用パターンとなるレジスト膜の膜厚を再現するために、デザインルール上で最小の面積から最大の面積までの、異なる面積で形成されることを特徴とする請求項1に記載のモニタパターン。

【請求項3】 前記低段差パターンは、その疎密の違いに応じて変化する、前記素子形成用パターンとなるレジスト膜の膜厚を再現するために、レイアウト上で最も密な場合から最も疎となる場合までの、異なる密度で形成されることを特徴とする請求項1に記載のモニタパターン。

【請求項4】 前記素子形成用パターンをモニタするための、配線パターンをさらに有して形成されることを特徴とする請求項1に記載のモニタパターン。

【請求項5】 前記配線パターンは、レイアウト上で最も密な場合から実質的に最も疎となる場合までの、異なる間隔で形成されることを特徴とする請求項4に記載のモニタパターン。

【請求項6】 前記半導体基板上の、当該半導体集積回路素子に隣接するスクライプライン上に形成されることを特徴とする請求項1に記載のモニタパターン。

【請求項7】 前記半導体基板上の、当該半導体集積回路素子内の余地領域に形成されることを特徴とする請求項1に記載のモニタパターン。

【請求項8】 前記モニタパターンを第1のパターンとし、その第1のパターンを90°回転させた第2のパターンをさらに有して形成されることを特徴とする請求項1に記載のモニタパターン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、たとえば半導体集積回路素子（LSI素子）の形成に用いられるレジスト膜の、パターンニング寸法のばらつきをモニタするためのモニタパターンに関するもので、特に、リソグラフィ技術による微細加工でのLSI素子の仕上がり寸法を保証するのに用いられるものである。

【0002】

【従来の技術】周知のように、半導体素子の製造の過程、特に、リソグラフィ技術を用いた微細加工においては、たとえば、下地段差によるレジスト膜の膜厚のばらつきに起因する光の定在波効果、または、マスクパターンの疎密の違いにともなうエッチング液の供給のばらつきに起因するマイクロローディング効果、もしくは、

2

マスクパターンの疎密の違いにともなう露光量のばらつきに起因する近接効果などにより、たとえマスク上は同一寸法であっても、LSI素子における素子形成用のレジスト膜パターンは場所によって異なった寸法に仕上がることが知られている。

【0003】すなわち、レジスト膜には原理的にパターンニングによる寸法のばらつきが生じる。このため、従来では、たとえばウェーハのスクライプライン上に特定のパターン寸法を有するQCパターンを形成し、そのQCパターンのパターン寸法が規格内にはいつているかをモニタすることで、LSI素子の仕上がり寸法を保証するようにしていた。

【0004】しかしながら、実際のLSI素子には下地段差がランダムに存在するにもかかわらず、上記した従来のQCパターンは、ある特定のパターン寸法を有して形成されるものであった。

【0005】このため、従来のQCパターンでは、実際のLSI素子におけるすべてのレジスト膜パターンの寸法のばらつきをモニタすることができず、必ずしも、LSI素子の仕上がり寸法を保証しているとはいえない。

【0006】特に、LSI素子の寸法は、最終的にはエッチング後の仕上がり寸法により規定されるが、レジスト膜パターンの寸法と仕上がり寸法との差、つまり、エッチング変換差はレジスト膜パターンの疎密の違いに大きく影響される。

【0007】したがって、特定のパターン寸法を有して形成された従来のQCパターンにより求められるエッチング変換差が、LSI素子におけるレジスト膜パターンのすべてに適用できるわけではなく、厳密な意味で、従来は、LSI素子の仕上がり寸法をまったく保証していない。

【0008】

【発明が解決しようとする課題】上記したように、従来においては、実際のLSI素子におけるレジスト膜パターンの寸法のばらつきをモニタすることができず、LSI素子の仕上がり寸法を必ずしも保証しているとはいえないという問題があった。

【0009】そこで、この発明は、実際の半導体集積回路素子におけるすべての素子形成用パターンの寸法のばらつきをモニタでき、半導体集積回路素子の仕上がり寸法をより厳密に保証することが可能なモニタパターンを提供することを目的としている。

【0010】

【課題を解決するための手段】上記の目的を達成するために、この発明のモニタパターンにあっては、半導体基板上に半導体集積回路素子を形成するための、素子形成用パターンの寸法のばらつきをモニタするために、前記素子形成用パターンの下地における段差を再現するように、複数の低段差パターンを有して形成されてなる構成とされている。

3

【0011】この発明のモニタパターンによれば、実際の半導体集積回路素子上での素子形成用パターンの寸法のばらつきを完全に網羅できるようになる。これにより、該モニタパターンにより求められるエッチング変換差を、半導体集積回路素子における素子形成用パターンのすべてに適用することが可能となるものである。

【0012】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、所望の半導体集積回路素子(LSI素子)が形成されてなる半導体ウェーハの概略構成を示すものである。なお、同図(a)は半導体ウェーハの要部を示す平面図であり、同図(b)はさらにその一部を取り出して示すモニタパターン形成領域の拡大図である。

【0013】すなわち、半導体ウェーハ(半導体基板)11には、スクライブライン12に沿ってLSI素子ごとに分割される、複数の素子形成領域13がマトリクス状に設けられている。

【0014】そして、上記スクライブライン12上には、各素子形成領域13に対応して、それぞれモニタパターン形成領域14が配置されている。各モニタパターン形成領域14内には、たとえば、それぞれ1組(1対)のモニタパターン14a、14bが設けられるようになっている。

【0015】上記モニタパターン14a、14bは、互いの向きが90°回転された状態でそれぞれ形成されるようになっている。図2は、本発明の実施の一形態にかかる、上記モニタパターン14a、14bの一例を示す平面図である。

【0016】このモニタパターン14a、14bは、たとえば、実際のLSI素子におけるゲート配線のパターンニング寸法のばらつきをモニタするためのもので、それぞれaからpまでの16個の単位パターンによって構成されている。各単位パターンa~pは、矩形形状のSDG領域パターン(低段差パターン)Aと、モニタの対象となる直線状のゲート配線パターン(レジスト膜パターン)Bとからなっている。

【0017】上記モニタパターン14a、14bにおいて、たとえば、単位パターンa、g、h、nは、それぞれ実際のLSI素子内で最も多く存在する面積を有する2つのSDG領域パターンAがレイアウト上で最少となる間隔をもって形成され、かつ、この2つのSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法(LSI素子の動作スピードを決定するゲート最小寸法)を有する4本のゲート配線パターンBが、最も狭い間隔で形成されてなるパターンとなっている。

【0018】たとえば、単位パターンb、fは、それぞれ実際のLSI素子内で最も多く存在する面積を有する2つのSDG領域パターンAがレイアウト上で最少とな

4

る間隔をもって形成され、かつ、この2つのSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法を有する2本のゲート配線パターンBが、最も広い間隔で形成されてなるパターンとなっている。

【0019】たとえば、単位パターンc、e、oは、それぞれ実際のLSI素子内で最も多く存在する面積を有する2つのSDG領域パターンAがレイアウト上で最少となる間隔をもって形成され、かつ、この2つのSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法を有する2本のゲート配線パターンBが、最も狭い間隔で形成されてなるパターンとなっている。

【0020】たとえば、単位パターンdは、実際のLSI素子内で最も多く存在する面積よりも広い面積を有する2つのSDG領域パターンAがレイアウト上で最少となる間隔をもって形成され、かつ、この2つのSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法を有する11本のゲート配線パターンBが、最も狭い間隔で形成されてなるパターンとなっている。

【0021】たとえば、単位パターンi、pは、それぞれデザインルール上で許される最も小さい面積を有する2つのSDG領域パターンAがレイアウト上で最少となる間隔をもって形成され、かつ、この2つのSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法を有する1本のゲート配線パターンBが形成されてなるパターンとなっている。

【0022】たとえば、単位パターンjは、デザインルール上で許される最も小さい面積よりも少し大きい面積を有する2つのSDG領域パターンAがレイアウト上で最少となる間隔をもって形成され、かつ、この2つのSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法を有する1本のゲート配線パターンBが形成されてなるパターンとなっている。

【0023】たとえば、単位パターンkは、実際のLSI素子内で最も多く存在する面積を有する2つのSDG領域パターンAがレイアウト上で最少となる間隔をもって形成され、かつ、この2つのSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法を有する1本のゲート配線パターンBが形成されてなるパターンとなっている。

【0024】たとえば、単位パターンlは、実際のLSI素子内で最も多く存在する面積よりも少し大きい面積を有する1つのSDG領域パターンAが形成され、かつ、このSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細かいゲート寸法を有する3本のゲート配線パターンBが、最も広い間隔で形成されてなるパターンとなっている。

5

【0025】たとえば、単位パターンmは、実際のLSI素子でのレジスト膜の膜厚が飽和する面積を有する1つのSDG領域パターンAが形成され、かつ、このSDG領域パターンAを含む下地段差上に、デザインルール上で許される最も細いゲート寸法を有する5本のゲート配線パターンBが、最も広い間隔で形成されてなるパターンとなっている。

【0026】また、上記各単位パターンa~nはそれぞれが近接して密に形成されたパターンであり、上記単位パターンoおよび上記単位パターンpは、密に存在する単位パターンc、eまたは単位パターンiのそれぞれが独立して疎に形成されたパターンとなっている。

【0027】このようなモニタパターン14a、14bによれば、たとえば、単位パターンi~mの各ゲート配線パターンBのパターニング寸法の違い(ばらつき)から、実際のLSI素子上での、SDG領域の面積の違いによるゲート配線のパターニング寸法のばらつきがモニタできる。

【0028】また、たとえば、単位パターンa~c、kの各ゲート配線パターンBのパターニング寸法の違いから、実際のLSI素子上での、ゲート配線の疎密の違いによるゲート配線のパターニング寸法のばらつきがモニタできる。

【0029】また、たとえば、単位パターンc、oおよび単位パターンi、pにおける、各ゲート配線パターンBのパターニング寸法の違いから、実際のLSI素子上での、SDG領域の疎密の違いによるゲート配線のパターニング寸法のばらつきがモニタできる。

【0030】さらに、たとえば、単位パターンdのゲート配線パターンBのパターニング寸法の違いから、実際のLSI素子上での、近接効果によるゲート配線のパターニング寸法のばらつきがモニタできる。

【0031】このように、実際のLSI素子における、たとえば、下地のSDG領域の面積とレジスト膜の膜厚との関係、SDG領域の疎/密とレジスト膜の膜厚との関係、および、ゲート配線の疎/密にもとづいて、モニタパターン14aを形成することで、該モニタパターン14aにより求められるエッチング変換差を、LSI素子におけるすべてのゲート配線に適用でき、実際のLSI素子におけるゲート配線のパターニング寸法のばらつきまでを含めたモニタの実施が可能となる。

【0032】すなわち、該モニタパターン14aにおいては、SDG領域パターンAの面積を、たとえばデザインルール上で形成し得る最小の面積からレジスト膜の膜厚が飽和する最大の面積まで変化させることによって、実際のLSI素子上にランダムに存在するSDG領域の、面積の違いに応じて変化するレジスト膜の膜厚が再現される。

【0033】また、該モニタパターン14aにおいては、SDG領域パターンAの配置の疎密を、たとえばレ

6

アウト上で最も密に形成される場合から実質的に最も疎に形成される場合まで変化させることによって、実際のLSI素子上にランダムに存在するSDG領域の、疎密の違いに応じて変化するレジスト膜の膜厚が再現される。

【0034】また、該モニタパターン14aにおいては、ゲート配線パターンBの配置の間隔を、たとえばレイアウト上で可能な限り最も密に形成される場合から実質的に最も疎に形成される場合まで変化させることによって、実際のLSI素子上での、ゲート配線の疎密の違いによって生じるマイクロローディング効果が疑似的に再現される。

【0035】さらに、該モニタパターン14aにおいては、ゲート配線パターンBの配置の間隔を、たとえばレイアウト上で可能な限り近接させて形成することによって、実際のLSI素子上での、ゲート配線の密によって生じる近接効果が疑似的に再現される。

【0036】なお、上記モニタパターン14aに加えて、これを90°回転させたモニタパターン14bを併設しているため、現像液の流れる方向の違いによる、ゲート配線パターンBのパターニング寸法のばらつきに起因する、実際のLSI素子上での、マイクロローディング効果によるゲート配線のパターニング寸法のばらつきをもモニタすることができる。

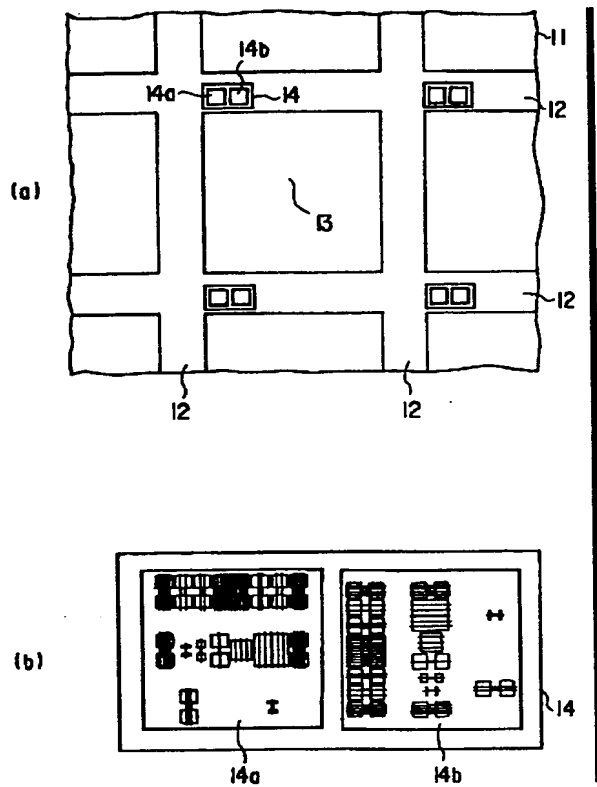
【0037】図3は、あるLSI素子における、下地のSDG領域の面積とレジスト膜の膜厚との相関関係を示すものである。すなわち、レジスト膜の膜厚は下地のSDG領域の面積にも依存するため、たとえば、この相関関係にもとづいて、上記モニタパターン14a、14bの各単位パターンa~pにおけるSDG領域パターンAの面積が決定される。

【0038】これにより、レジスト膜の膜厚が飽和する最大の面積を有する、単位パターンmにおけるSDG領域パターンAの面積も正確に求められる。図4は、上記したモニタパターン14a、14bによる、モニタの性能を実証するために示すヒストグラムである。なお、同図(a)は、あるLSI素子に対するモニタパターン14a、14bでのゲート配線パターンBのパターニング寸法のばらつきを、また、同図(b)は、そのLSI素子における、代表的なゲート配線の実際のパターニング寸法のばらつきを、それぞれ実製品を用いて評価した結果である。

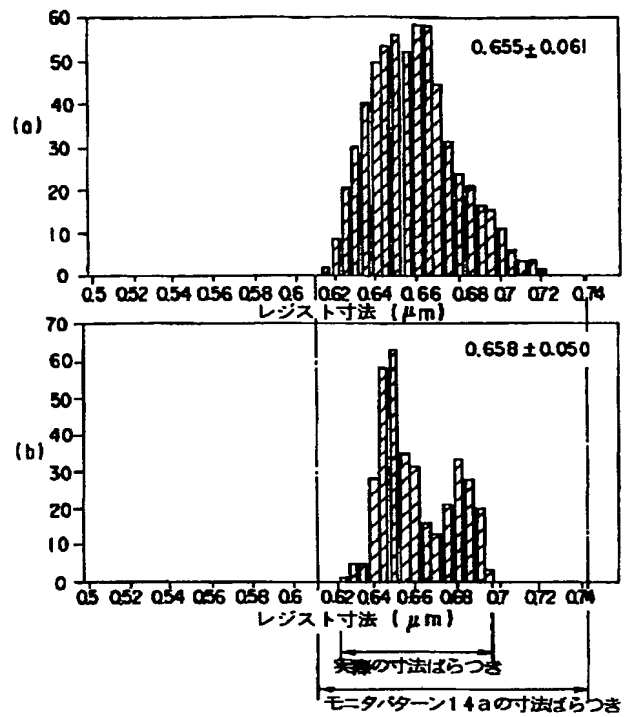
【0039】この図からも明かなように、たとえば、モニタパターン14aにおけるゲート配線パターンBのパターニング寸法のばらつきは、実際のLSI素子における、ゲート配線のパターニング寸法のばらつきを完全に網羅(包含)している。

【0040】したがって、上記モニタパターン14aのゲート配線パターンBの寸法が規格内にはいつているかをモニタすることで、該LSI素子における、ゲート配

【図1】



【図4】



【図3】

